

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-279477

(43)Date of publication of application : 22.10.1996

(51)Int.Cl.

H01L 21/28
H01L 21/28
H01L 29/78
H01L 21/336

(21)Application number : 07-081573

(71)Applicant : SONY CORP

(22)Date of filing : 06.04.1995

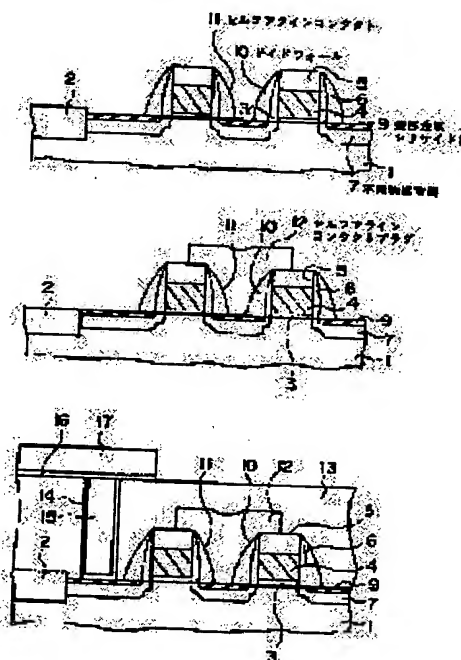
(72)Inventor : SUMI HIROBUMI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To reduce contact resistance in a semiconductor device using a self-align contact and prevent damage to an impurity diffusion layer at an etch-back step for opening a self-alignment contact.

CONSTITUTION: A transition metallic silicide 9 is previously formed on an impurity diffusion layer 7. After an insulating layer is deposited, a self-alignment contact 11 is opened in an all-over etch-back step. In this case, coagulation of crystal grain caused by reaction of silicide can be prevented, and a flat transition metallic silicide layer with low sheet resistance can be obtained. While the all-over etch-back is carried out, the transition metallic layer is used as an etching stopper to prevent damage to the impurity diffusion layer 7.



LEGAL STATUS

[Date of request for examination] 20.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(43)公開日 平成8年(1996)10月22日

技術表示箇所

301P

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

【特許請求の範囲】

【請求項1】 半導体基板上のゲート電極側面に形成されたサイドウォールにより、前記半導体基板の不純物拡散層と自己整合的に接続する接続孔を有する半導体装置であって、

前記接続孔の底面の前記不純物拡散層表面と、前記サイドウォール下部の前記不純物拡散層表面の少なくとも1部に、連続して延在する遷移金属シリサイド層を有することを特徴とする、半導体装置。

【請求項2】 ゲート電極が形成された半導体基板上に絶縁層を全面に形成する工程、前記絶縁層をエッチバックして前記半導体基板の不純物拡散層を露出するとともにゲート電極側面にサイドウォールを形成し、自己整合的に接続孔を形成する工程を具備する半導体装置の製造方法であって、

前記絶縁層を全面に形成する工程の前に、前記半導体基板の少なくとも不純物拡散層上に、遷移金属層を形成する工程、熱処理を施し前記不純物拡散層上に自己整合的に遷移金属シリサイド層を形成する工程、前記不純物拡散層上以外の前記遷移金属層を除去する工程を有し、

この後、前記絶縁層を全面に形成することを特徴とする、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置およびその製造方法に関し、さらに詳しくは、セルフアラインコンタクトによる多層配線を有し、かつコンタクト部の不純物拡散層上に、遷移金属シリサイド層を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】LSI等の半導体装置の高集積度化、高性能化が進展するに伴い、多層配線間の電氣的接続を得るための接続孔の開口幅もクォータミクロン以下に縮小されつつある。従来より接続孔のパターニングには、層間絶縁膜上にリソグラフィによりレジストパターンを形成し、これをマスクとして層間絶縁膜をプラズマエッチングする方法が採用されてきた。

【0003】接続孔等のデザインルールの微細化にとともに、リソグラフィ時の露光アライメントずれにより接続孔の形成部位にずれが生じ、コンタクト面積が減少したり、接続孔底部の半導体基板に、エッチングダメージが発生する場合がある。この問題を原理的に回避する手法として、セルフアラインコンタクト（SAC: Self Aligned Contact）構造が提案されている。セルフアラインコンタクトは、ゲート電極等の配線層側面に形成したサイドウォールを利用することで、不純物拡散層上に自己整合的に接続孔を形成する

方法である。この方法の採用により、リソグラフィによるレジストパターニングを用いることなく、微細で合わせずれのない接続孔を、目的とする個所に形成することが可能となる。従来のセルフアラインコンタクトを用いた半導体装置の製造方法の一例を、MOSICのプロセスを例にとり、図6（a）～（d）を参照して説明する。

【0004】図6（a）～（d）は従来のセルフアラインコンタクトを用いたMOSICの製造工程を示す概略断面図である。まず図6（a）に示すように、シリコンからなる半導体基板1に素子分離領域2を形成する。熱酸化膜の形成および多結晶シリコン層、オフセット酸化膜層を順次形成後パターニングし、ゲート酸化膜3、ゲート電極4およびオフセット酸化膜5を形成し、さらに不純物を浅くイオン注入する。

【0005】つぎに全面に絶縁層を厚く堆積後エッチバックし、ゲート電極4およびオフセット酸化膜5の側面にサイドウォール10を形成するとともに、半導体基板1表面を露出し、セルフアラインコンタクト11を開口する。この段階で再度イオン注入し、活性化熱処理を加えて不純物拡散層7を形成する。この状態を図6（b）である。

【0006】続けて全面に多結晶シリコン層を堆積し、パターニングしてセルフアラインコンタクトプラグ12を形成する。セルフアラインコンタクトプラグ12と不純物拡散層7とのコンタクト面は、隣りあう複数のゲート電極4と所定の間隔を保って自己整合的に形成される。この状態を図6（c）に示す。

【0007】以上がセルフアラインコンタクトを用いたプロセスの主要部である。この後は常法により、平坦化された層間絶縁膜13を形成し、広い不純物拡散層7に臨む開口部を形成後、全面にTi/TiNの積層構造膜およびブランケットW層を堆積し、エッチバックして開口部内に密着層兼バリアメタル層14とWプラグ15を埋め込む。さらにTi層16とAl層17からなる上層配線を形成し、MOSICを完成する。この状態を図6（d）に示す。

【0008】低オーミックコンタクト値を有し、安定したセルフアラインコンタクトを形成するためには、コンタクト面の絶縁層を残渣なく完全に除去しなければならない。このためには、厚く堆積した絶縁層をエッチバックする際に、オーバーエッチングを加える必要がある。この絶縁層の厚さが半導体基板内でほぼ一様に形成された場合は、オーバーエッチング量は少なくてよい。しかし、実際にはある程度の厚さむらは必ず存在し、厚い部分の絶縁層を完全に除去する際には、薄い部分では過度のオーバーエッチングが施されることとなる。このため、半導体基板表面が長時間のイオン照射に曝され、結晶欠陥等のダメージが入りやすく、最終的に形成されるMOSICの接合リークが大きくなり、安定した動作が

望めなくなる。この問題を回避する方法として、セルフアラインコンタクトを形成すべき個所の半導体基板上に、エッチングストップ層を形成しておく方法もある。しかし実プロセスにおいては、このエッチングストップ層を別途除去するステップが必要となり、スループットの低下や、新たなコンタミネーションの問題が生じる。

【0009】また一般的にセルフアラインコンタクトを形成する場所は、複数のゲート電極が隣接する、狭隘なソース・ドレイン領域であり、したがってコンタクト面積も小さい。さらに、近年の高集積化されたMIS型トランジスタにおいては、ゲート電極幅の縮小と同時に不純物拡散層の深さの低減も重要である。これはショートチャネル効果を低減し、ソース・ドレイン耐圧を確保するためである。一例として、 $0.25\mu\text{m}$ のゲート電極幅のMIS型トランジスタにおいては、不純物拡散層の深さは $0.08\mu\text{m}$ (80nm) 以下にシャロー化することが求められる。これらはいずれも、コンタクト抵抗値やソース・ドレイン領域のシート抵抗値の増大につながり、半導体デバイスの応答速度と動作限界周波数の低下をもたらす。MIS型トランジスタの動作限界周波数は、ゲート遅延時間と反比例の関係にあるからである。この現象は、特に高速動作を要求されるマイクロプロセッサ等では問題が大きい。

【0010】ソース・ドレイン領域のシート抵抗値を下げるための対策として、不純物拡散層上にみに自己整合的に低抵抗な遷移金属シリサイド層を形成するサリサイド (Salicide: Self Aligned Silicide) プロセスが、例えばIEEE Transactions on Electron Devices 38-1, 88, (1991) に報告されている。しかしながら、ゲート電極側面のサイドウォールを用いて微細な接続孔を形成するセルフアラインコンタクト構造においては、サリサイドを形成するための遷移金属をこの接続孔底部に形成する際に、通常のスパッタリング等の堆積手法ではステップカバレッジが不足する。このため、低抵抗で安定したサリサイドをソース・ドレイン領域に形成できない問題がある。

【0011】さらに、たとえ遷移金属をサイドウォールコンタクト底部に形成できたとしても、狭隘な不純物拡散層領域にサリサイドプロセスを適用すると、遷移金属シリサイドの結晶粒が凝集してその表面が粗面化し、例えば TiSi_2 の場合では、本来は数十 Ω/\square と低い値を有するシート抵抗値が、数百 Ω/\square にまで増大する場合がある。

【0012】また不純物拡散層のシャロー化に合わせ、遷移金属シリサイド層の薄膜化も必要となる。この遷移金属シリサイド層の薄膜化も結晶粒の凝集を進める方向に働く。したがって、狭隘なサイドウォールコンタクト底部の不純物拡散層領域に、薄い遷移金属シリサイド層を形成するに際しては、結晶粒の凝集を防止し、平滑な

表面を安定して得られるサリサイドプロセスの開発が求められる。

【0013】

【発明が解決しようとする課題】本発明は上述したセルフアラインコンタクトプロセスにおける各種問題点を解決することをその目的とする。すなわち本発明の課題は、セルフアラインコンタクトによる多層配線を有する半導体装置に、サリサイドプロセスを適用した場合に生じるコンタクト抵抗の増大を防止し、微細なデザインルールにもとづくMOSIC等の半導体装置の高速動作、低動作電圧および低消費電力に寄与することができる半導体装置およびその製造方法を提供することである。

【0014】

【課題を解決するための手段】本発明の半導体装置は、上述の課題を解決するために提案するものであり、半導体基板上のゲート電極側面に形成されたサイドウォールにより、この半導体基板の不純物拡散層と自己整合的に接続する接続孔を有する半導体装置であって、この接続孔の底面の不純物拡散層表面と、サイドウォール下部の不純物拡散層表面の少なくとも1部に、連続して延在する遷移金属シリサイド層を有することを特徴とするものである。

【0015】また本発明の半導体装置の製造方法は、ゲート電極が形成された半導体基板上に絶縁層を全面に形成する工程、この絶縁層をエッチバックして半導体基板の不純物拡散層を露出するとともにゲート電極側面にサイドウォールを形成し、自己整合的に接続孔を形成する工程を具備する半導体装置の製造方法であって、この絶縁層を全面に形成する工程の前に、半導体基板の少なくとも不純物拡散層上に、遷移金属層を形成する工程、熱処理を施し不純物拡散層上に自己整合的に遷移金属シリサイド層を形成する工程、不純物拡散層上以外の前記遷移金属層を除去する工程を有し、この後、絶縁層を全面に形成することを特徴とするものである。本発明で言う所の遷移金属とは、周知の周期律表から定義されるものであり、当然のことながら、WやMo等の高融点金属が含まれる。

【0016】

【作用】本発明の骨子は、サイドウォールコンタクトによる接続孔底部の不純物拡散層のみならず、サイドウォール下部の不純物拡散層の少なくとも1部に、連続して延在する遷移金属シリサイド層を設けた半導体装置の構造およびその製造方法にある。

【0017】すなわち、狭隘なセルフアラインコンタクト底部にのみならず、サイドウォール下部の少なくとも1部に延在してシリサイド層を適用した構造とすることにより、ソース・ドレイン領域のシート抵抗の低減が可能となる。

【0018】かかる装置構造は、セルフアラインコンタクトを形成する前の段階で不純物拡散層の露出面に対し

てサリサイドプロセスを適用し、この後セルフアラインコンタクトを開口する製造方法により実現される。この製造方法によれば、比較的広い露出面積を有する不純物拡散層にサリサイドプロセスを適用することとなる。このため、形成される遷移金属シリサイド層の結晶粒の凝集を防止し、平滑な表面が得られるので、安定で低抵抗のセルフアラインコンタクトが実現できる。

【0019】さらに、セルフアラインコンタクト形成のための全面エッチバックの際に、露出する不純物拡散層表面には遷移金属シリサイド層がすでに形成されているので、この層がエッチングストップの機能を果たし、オーバーエッチング時にも下地の不純物拡散層にダメージが入ることがない。このため、接合リークの少ない安定な動作特性を有するMOSICの製造が可能となる。

【0020】

【実施例】以下、本発明の具体的実施例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図6中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0021】実施例1

本実施例はLDD構造のMOSICに本発明を適用した例であり、これを図1(a)～(c)および図2(d)～(f)を参照して説明する。まずシリコンからなる半導体基板1に素子分離領域2を形成する。熱酸化膜の形成および多結晶シリコン層、オフセット酸化膜層を順次形成後パターニングし、ゲート酸化膜3、ゲート電極4およびオフセット酸化膜5を形成し、さらに不純物を浅くイオン注入する。つぎにTEOSを原料ガスとした減圧CVDにより、SiO₂膜を全面に、例えば40nmの厚さに形成後、全面エッチバックしてLDDサイドウォール6をゲート電極4の側面に形成する。さらにN₂chにはAsを、P₂chにはBF₂を3×10¹⁵/cm²のドーザ量でそれぞれイオン注入する。さらに1050℃で10秒間活性化熱処理を施し、浅い不純物拡散層7を形成する。常法に準じ、ここまで形成した状態を図1(a)に示す。同図に示されるように、複数のゲート電極4間には狭い面積の不純物拡散層7が、それ以外の半導体基板1の露出面には広い面積の不純物拡散層7が形成されている。

【0022】つぎに、ICP(Inductively Coupled Plasma)エッチング装置によ

り、不純物拡散層7表面の自然酸化膜(図示せず)をソフトエッチングする。低基板バイアス電圧と高密度プラズマソースの採用により、不純物拡散層にイオンダメージを与えたり、面粗れを発生することなく、不純物拡散層7表面は均一に清浄化される。

Ar	10 sccm
ガス圧力	0.06 Pa
ICP電源パワー	1000 W
RFバイアス電圧	100 V
基板温度	常温

【0023】この直後に、RFスパッタリング装置等により、図1(b)に示すようにTiからなる遷移金属層8を一例として下記条件により形成する。

Ar	100 sccm
ガス圧力	0.47 Pa
RF電源パワー	1000 W
基板温度	150 °C
膜厚	30 nm

この際に、ICPエッチング装置とRFスパッタリング装置等がゲートバルブで接続され、半導体基板が大気に触れることなく搬送可能な連続処理装置を用いることが望ましい。

【0024】この後、600℃の第1の熱処理を加えて不純物拡散層7上の遷移金属を選択的にシリサイド化する。さらに素子分離領域2上やオフセット酸化膜5上等の未反応の遷移金属層を、アンモニア過水(NH₃とH₂O₂の混合水溶液)を用いてウェットエッチングし除去する。この後、800℃の第2の熱処理により、不純物拡散層7上に安定なC54結晶構造のTiSi₂からなる遷移金属シリサイド層9を形成する。この状態を図1(c)に示す。

【0025】つぎに、TEOSと酸化性ガスを用いた減圧CVDにより、厚い酸化膜(図示せず)を全面に形成する。

TEOS	50 sccm
ガス圧力	40 Pa
基板温度	720 °C
膜厚	300 nm

つづけて、RIE装置により、この厚い酸化膜を全面エッチバックする。

C4F8	50 sccm
ガス圧力	2 Pa
RF電源パワー	1200 W (13.56MHz)
基板温度	常温

本エッチバック工程により、LDDサイドウォール6の側面にさらにサイドウォール10が形成される。このサイドウォール10により、複数のゲート電極4に挟まれた狭い不純物拡散層7領域にはセルフアラインコンタクト11が形成される。セルフアラインコンタクト11お

よびサイドウォール10下部の不純物拡散層7表面には、遷移金属シリサイド層9が延在している。この状態を図2(d)に示す。

【0026】以上が本実施例の要部である。この後は常法に準拠し、図2(e)に示すようにセルフアラインコ

ンタクトプラグ12をn+多結晶シリコンにより形成する。さらに、平坦化された層間絶縁膜13を形成後、広い不純物拡散層7領域に臨む開口部を形成し、Ti/TiN層のスパッタリングおよびプラズマCVDによるW層を形成後、全面エッチバックにより密着層兼バリア金属層14とWプラグ15を開口部内に埋め込む。さらにTi層16とAl層17をパターンニング形成し、第1層金属配線を形成する。以上でMOSICが完成する。この状態を図2(f)に示す。

【0027】本実施例によれば、複数のゲート電極に挟まれた狭い不純物拡散層上に、予め遷移金属シリサイド層を形成しておき、この後セルフアラインコンタクトを開口することにより、結晶粒の凝集のない平滑な遷移金属シリサイド層が形成できる。またサイドウォールコンタクト開口時の全面エッチバックにおいては、遷移金属シリサイド層がエッチングストップの機能を果たすので、浅い不純物拡散層が削られることがない。

【0028】実施例2

本実施例は、サリサイドプロセスにおいて、遷移金属シリサイド層がLDDサイドウォール表面にまで不所望に形成される現象、いわゆる遷移金属シリサイドの這い上がり現象が生じた場合を想定し、その対策を講じたもの

CC13 F3	65 sccm
SF6	5 sccm
ガス圧力	1.3 Pa
マイクロ波パワー	700 W (2.45GHz)
RFパワー	1000 W (13.56MHz)
基板温度	常温

本エッチング工程により、遷移金属シリサイド層の這い上がり部9aが除去されるとともに、LDDサイドウォール6も除去される。またオフセット酸化膜5、ゲート電極4およびゲート酸化膜3の幅も縮小される。この状態を図3(b)に示す。

【0031】つぎに、TEOSと酸化性ガスを用いた減圧CVDにより、厚い酸化膜(図示せず)を全面に形成

C4 F8	50 sccm
ガス圧力	2 Pa
RF電源パワー	1200 W (13.56MHz)
基板温度	常温

本エッチバック工程により、ゲート電極4の側面にサイドウォール10が形成される。このサイドウォール10により、複数のゲート電極4に挟まれた狭い不純物拡散層7領域にはセルフアラインコンタクト11が形成される。セルフアラインコンタクト11底部およびサイドウォール10下部の一部の不純物拡散層7表面には遷移金属シリサイド層9が延在している。この状態を図3(c)に示す。

【0032】以上が本実施例の要部である。この後のセルフアラインコンタクトプラグを形成する工程以後は、実施例1と同様であるので重複する説明を省略する。本

であり、これを図3(a)～(c)を参照して説明する。

【0029】本実施例においては、前実施例1で説明に供した図1(a)～(b)に示す工程、すなわちTiからなる遷移金属層8を全面に形成する迄の工程は実施例1と同様であるので、重複する説明を省略する。この後、800℃の熱処理を加え、不純物拡散層7上のTiからなる遷移金属層8をTiSi2からなる安定な遷移金属シリサイド層9に変換し、さらに未反応の遷移金属層8をアンモニア過水で除去する。本実施例においては、LDDサイドウォール6の側面にも、遷移金属シリサイド層の這い上がり部9aが形成されている。この状態を図3(a)に示す。遷移金属層8の未反応部分(図示せず)は、この段階では除去せずそのまま残置しておいてもよい。

【0030】つぎに、遷移金属シリサイド層の這い上がり部9aを除去するため、オフセット酸化膜5上にゲート電極4幅より狭いレジストマスク(図示せず)を形成し、オフセット酸化膜5、ゲート電極4およびゲート酸化膜3を、一例として有磁場マイクロ波プラズマエッチング装置で、下記条件により再度パターンニングする。

TEOS	50 sccm
ガス圧力	40 Pa
基板温度	720 °C
膜厚	300 nm
つづけてRIE装置により厚い酸化膜を全面エッチバックする。	

実施例によれば、複数のゲート電極に挟まれた狭い不純物拡散層上に、予め遷移金属シリサイド層を形成しておき、この後セルフアラインコンタクトを開口することにより、結晶粒の凝集のない平滑な遷移金属シリサイド層が形成できる。またサイドウォールコンタクト開口時の全面エッチバックにおいては、遷移金属シリサイド層がエッチングストップの機能を果たすので、浅い不純物拡散層が削られることがない。さらに、サリサイドプロセスの選択性の不備により、シリサイド層の這い上がりが発生した場合にも、安定した動作を有するMOSICを形成することが可能である。

【0033】実施例3

本実施例は、ゲート電極パターニング後、全面酸化してゲート電極側面に熱酸化膜を形成し、この後全面エッチバックしてLDDサイドウォールを形成した例であり、これを図4(a)～(b)を参照して説明する。まずシリコンからなる半導体基板1に素子分離領域2を形成する。熱酸化膜の形成および多結晶シリコン層、オフセット酸化膜層を順次形成後パターニングし、ゲート酸化膜3、ゲート電極4およびオフセット酸化膜5を形成しさらに不純物を浅くイオン注入する。

【0034】つぎに一例として下記熱酸化条件により、ゲート電極4の側面にウェット酸化により熱酸化膜18を形成する。

C4 F8	50 . s c c m
ガス圧力	2 Pa
RF電源パワー	1200 W (13. 56MHz)
基板温度	常温

つぎにN－chにはAsを、P－chにはBF₂を3×10¹⁵/cm²のドーズ量でそれぞれイオン注入する。さらに1050℃で10秒間活性化熱処理を施し、不純物拡散層7を形成する。ここまで形成した状態を図4(b)に示す。

【0036】この後のプロセスフローは、実施例1において図1(b)以下を参照して説明したものと同様であるので重複する説明を省略する。

【0037】実施例4

本実施例は、ゲート電極パターニング後、全面窒化してゲート電極側面に熱窒化膜を形成し、この後全面エッチバックして、窒化膜によるLDDサイドウォールを形成した例であり、これを再び図4(a)～(b)を参照して説明する。まずシリコンからなる半導体基板1に素子分離領域2を形成する。熱酸化膜の形成および多結晶シリコン層、オフセット酸化膜層を順次形成後パターニン

CCl ₃ F ₃	65 s c c m
SF ₆	5 s c c m
ガス圧力	1. 3 Pa
マイクロ波パワー	700 W (2. 45GHz)
RF電源パワー	1000 W (13. 56MHz)
基板温度	常温

つぎにN－chにはAsを、P－chにはBF₂を3×10¹⁵/cm²のドーズ量でそれぞれイオン注入する。さらに1050℃で10秒間活性化熱処理を施し、不純物拡散層7を形成する。ここまで形成した状態を図4(b)に示す。

【0040】この後のプロセスフローは、実施例1において図1(b)以下を参照して説明したものと同様であるので重複する説明を省略する。本実施例および前実施例3によれば、いずれも実施例1の効果に加え、LDDサイドウォール形成用の酸化膜または窒化膜を、熱処理のみで形成できるので、工程の簡略化に寄与する。サイ

H ₂	6. 0 s l m
O ₂	4. 0 s l m
基板温度	850 ℃
膜厚	20 nm

本熱酸化工程では、多結晶シリコンからなるゲート電極4側面が20nmの厚さに酸化される一方、露出する半導体基板1表面にも薄い熱酸化膜が形成される。この状態を図4(a)に示す。

【0035】この後、全面エッチバックを短時間施して、LDDサイドウォールをゲート電極4の側面に形成する。RIEによるエッチバック条件の一例を下記に示す。

C4 F8	50 . s c c m
ガス圧力	2 Pa
RF電源パワー	1200 W (13. 56MHz)
基板温度	常温

グし、ゲート酸化膜3、ゲート電極4およびオフセット酸化膜5を形成しさらに不純物を浅くイオン注入する。

【0038】つぎに一例として下記熱窒化条件により、ゲート電極4の側面に熱窒化膜18を形成する。

H ₂	6. 0 s l m
N ₂	4. 0 s l m
基板温度	850 ℃
膜厚	20 nm

本熱窒化工程では、多結晶シリコンからなるゲート電極4側面が20nmの厚さに窒化される一方、露出する半導体基板1表面にも薄い熱窒化膜が形成される。この状態を図4(a)に示す。

【0039】この後、全面エッチバックを短時間施して、LDDサイドウォールをゲート電極4の側面に形成する。有磁場マイクロ波プラズマエッチング装置によるエッチバック条件の一例を下記に示す。

CCl ₃ F ₃	65 s c c m
SF ₆	5 s c c m
ガス圧力	1. 3 Pa
マイクロ波パワー	700 W (2. 45GHz)
RF電源パワー	1000 W (13. 56MHz)
基板温度	常温

ドウォールの膜質もよい。

【0041】実施例5

本実施例は、上記実施例1ないし4で形成したセルフアラインコンタクトに加え、さらにこの場所に形成するセルフアラインコンタクトプラグを、多結晶シリコンに替えてCoSi₂とした例であり、これを図2(e)および図5(a)～(b)を参照して説明する。

【0042】本実施例においては、図2(e)に示すセルフアラインコンタクト11内に、多結晶シリコンによるセルフアラインコンタクトプラグ12を形成する工程までは、実施例1と同様であり、重複する説明は省略す

る。つぎに全面にCo層19を一例として下記スパッタリング条件により形成する。この状態を図5(a)に示す。

Ar	100 sccm
ガス圧力	0.47 Pa
RF電源パワー	1000 W (13.56MHz)
基板温度	150 °C
膜厚	30 nm

【0043】この後600°Cの熱処理を施し、多結晶シリコンによるセルフアラインコンタクトプラグ12上のCo層19を、セルフアラインコンタクトプラグ12中に固相拡散させる。さらにセルフアラインコンタクトプラグ12上以外の未反応のCo層を、塩酸過水(HClとH₂O₂の混合水溶液)で除去する。さらに800°Cの熱処理により、セルフアラインコンタクトプラグ12を、安定なCoSi₂を主体とする材料に変換する。この状態を図5(b)に示す。Co層19は、セルフアラインコンタクトプラグ12と接する部分以外は、あらかじめエッチング除去しておいてもよい。

【0044】ここで、CoSi₂を採用した理由として、Coの場合はシリサイド化反応がCo原子の拡散により進行するからである。このため、セルフアラインコンタクトプラグ12内に表面のCo原子が拡散し、ほぼ均一なCoSi₂を主体とする材料に変換される。このように、金属が拡散してシリサイド反応が進むケースとして、Co以外にNi、Pd、HfおよびZr等がある。

【0045】一方、多結晶シリコンからなるセルフアラインコンタクトプラグ12上にTi層を形成した場合には、セルフアラインコンタクトプラグ12の表面部分のみがTiSi₂となる。これは、TiSi₂のシリサイド化反応は、Si原子が拡散源となるためである。したがって、シリサイド化反応の熱処理時間を必要以上長時間施すと、セルフアラインコンタクトプラグ12内の多結晶シリコン中に、ボイドが発生する場合があるので、この面の配慮が必要である。

【0046】この後のプロセスは、実施例1において図2(f)を参照して説明した工程と同様であるので、重複する説明は省略する。本実施例によれば、実施例1で述べた効果に加え、セルフアラインコンタクトプラグ自体を低抵抗化できる効果を有する。

【0047】以上、本発明を5例の実施例により説明したが、本発明はこれら実施例に何ら限定されるものではない。

【0048】例えば、遷移金属としてTiをとりあげたが、他にCo、Ni、Cu、Ru、W、Mo、Pt、Au、Pd、ZrおよびHf等の各種遷移金属を用いる場合も同様である。その成膜法もスパッタリングの他にCVDや蒸着等を用いてもよい。ただし清浄化された不純物拡散層表面を再汚染しないためのプロセス上の配慮は必要である。

【0049】サリサイドプロセスを適用する半導体装置として、MOSICの他にバイポーラICやBiMOS-IC、CCD装置等各種シリコン半導体デバイスに適用できる。また不純物拡散層に臨んで開口するセルフアラインコンタクトのみならず、多結晶シリコン等の配線層やゲート電極等に臨んで開口するセルフアラインコンタクトに適用できることは自明である。さらにゲート電極側面以外に、半導体基板上の各種段差側面に形成されたサイドウォールにより、セルフアラインコンタクトを開口する場合に本発明を適用できることも明らかである。その他、本発明の技術的思想の範囲内で、エッチング装置やプロセス条件は適宜変更が可能である。

【0050】

【発明の効果】以上の説明から明らかなように、本発明の半導体装置は、セルフアラインコンタクト底部と、サイドウォール下部の少なくとも1部にわたって延在する遷移金属シリサイド層を有する構造であるので、ソース・ドレイン領域のシート抵抗の低減が可能となる。

【0051】また、本発明の半導体装置の製造方法によれば、セルフアラインコンタクトを開口すべき不純物拡散層上に、予め遷移金属シリサイド層を形成しておくので、シリサイド化反応における結晶粒の凝集を防止でき、平滑な表面の遷移金属シリサイド層が形成できる。またセルフアラインコンタクト開口時のエッチングストッパとしての機能を遷移金属シリサイド層が果たすので、浅い不純物拡散層がダメージを受けることがない。このため、ソース・ドレイン領域のシート抵抗の低減とともに、接合リークの低減も可能となる。すなわち、微細なデザインルールの半導体装置におけるセルフアラインコンタクトを安定に形成でき、半導体装置の高速動作、低電圧動作および低消費電力等の諸特性の向上に寄与する。

【図面の簡単な説明】

【図1】本発明を適用した実施例1の工程の前半を、その工程順に説明する概略断面図であり、(a)はMOSICの不純物拡散層を形成した状態、(b)は全面に遷移金属層を形成した状態、(c)は熱処理により、不純物拡散層上に選択的に遷移金属シリサイド層を形成した状態である。

【図2】本発明を適用した実施例1の工程の後半を、その工程順に説明する概略断面図であり、(d)はセルフアラインコンタクトを開口した状態、(e)はセルフアラインコンタクトプラグを形成した状態、(f)は第1

層金属配線を形成した状態である。

【図3】本発明を適用した実施例2を、その工程順に説明する概略断面図であり、(a)は熱処理により、不純物拡散層上に選択的に遷移金属シリサイド層を形成する際にLDDサイドウォール上に遷移金属シリサイド層の這い上がり部が形成された状態、(b)は遷移金属シリサイド層の這い上がり部を除去した状態、(c)はセルフアラインコンタクトプラグを開口した状態である。

【図4】本発明を適用した実施例3および4を、その工程順に説明する概略断面図であり、(a)はゲート電極パターニング後、ゲート電極側面に熱酸化膜または熱窒化膜を形成した状態、(b)は熱酸化膜または熱窒化膜をエッチバックして不純物拡散層表面を露出した状態である。

【図5】本発明を適用した実施例5を、その工程順に説明する概略断面図であり、(a)は多結晶シリコンからなるセルフアラインコンタクトプラグ上にC_o層を形成した状態、(b)は熱処理により、セルフアラインコンタクトプラグをC_oSi₂を主体とする材料に変換した状態である。

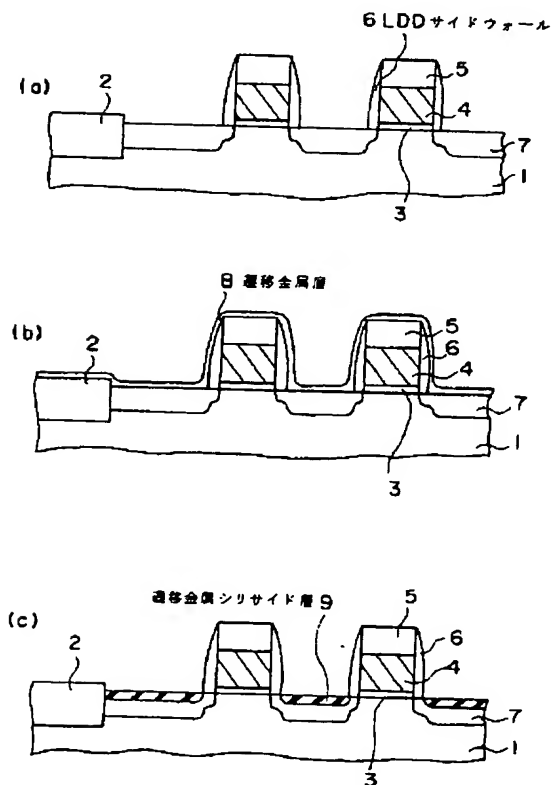
【図6】従来のセルフアラインコンタクトを用いた半導体装置の製造方法を、その工程順に説明する概略断面図であり、(a)はゲート電極をパターニングした状態、(b)はセルフアラインコンタクトを開口した状態、

(c)はセルフアラインコンタクトプラグを形成した状態、(d)は第1層金属配線を形成した状態である。

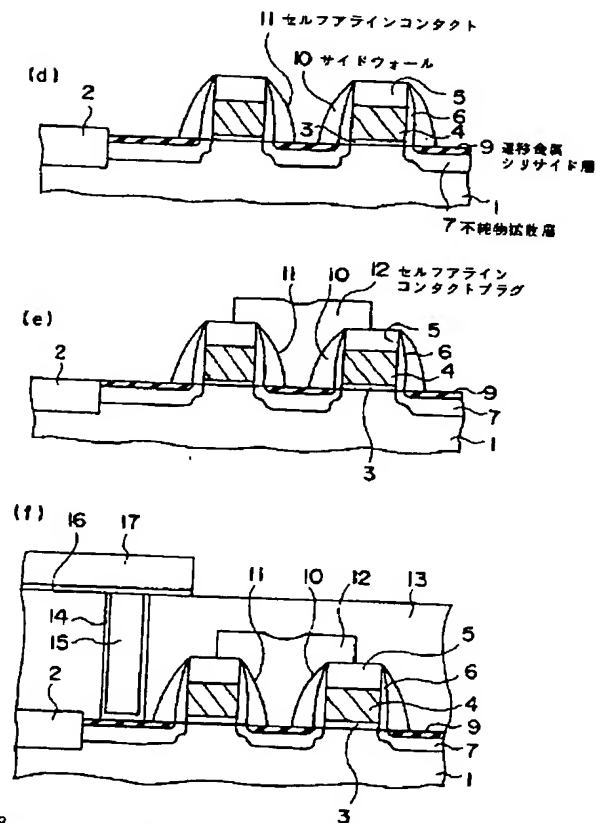
【符号の説明】

- | | |
|-----|-------------------|
| 1 | 半導体基板 |
| 2 | 素子分離領域 |
| 3 | ゲート酸化膜 |
| 4 | ゲート電極 |
| 5 | オフセット酸化膜 |
| 6 | LDDサイドウォール |
| 7 | 不純物拡散層 |
| 8 | 遷移金属層 |
| 9 | 遷移金属シリサイド層 |
| 9 a | 遷移金属シリサイド層の這い上がり部 |
| 10 | サイドウォール |
| 11 | セルフアラインコンタクト |
| 12 | セルフアラインコンタクトプラグ |
| 13 | 層間絶縁膜 |
| 14 | 密着層兼バリアメタル層 |
| 15 | Wプラグ |
| 16 | Ti層 |
| 17 | Al層 |
| 18 | 熱酸化膜または熱窒化膜 |
| 19 | C _o 層 |

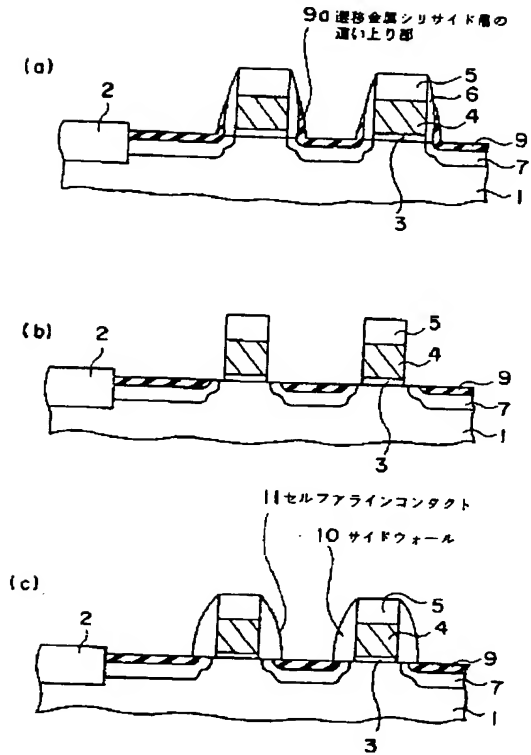
【図1】



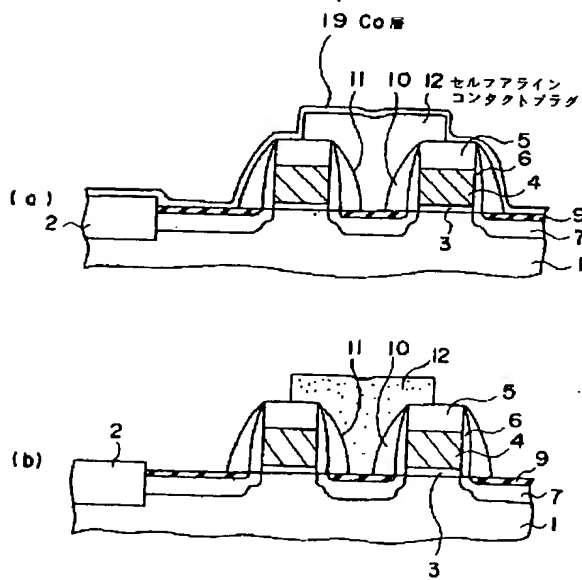
【図2】



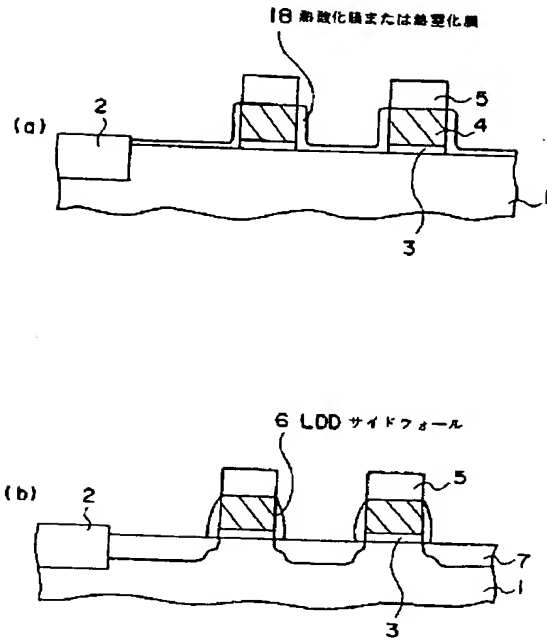
【図3】



【図5】



【図4】



【図6】

